

THIS PAGE BLANK (USPTO)

**Japanese Publication for Unexamined Patent
Application No. 243547/1993 (Tokukaihei 05-243547)**

A. Relevance of the Above-identified Document

This document has relevance to claims 1 through 4 of the present application.

B. Translation of the Relevant Passages of the Document

[0009]

[MEANS TO SOLVE THE PROBLEM]

In order to solve the foregoing problem, the present invention provides a TFT-type thin film photosensor in which the thickness of a gate insulating film 15 is made larger than that of a gate insulating film 16 of a switching TFT, and a gate insulating film/amorphous silicon interface in each TFT of the TFT-type thin film photosensor and the switching TFT is formed under the same conditions. To realize this arrangement, each gate electrode of the TFT-type thin film photosensor and the switching TFT is formed from a metal layer manufactured through a separate process.

THIS PAGE IS ANK (ISPTO)

THIS PAGE BLANK (USPTO)

【作用】光センサ用TFTのゲート電界がチャネルを流れる光電流を抑える効果を低減し、従来よりも大きな明電流を実現することにより、負のゲート電界がチャネルを流れる光電流を抑制する効果を抑える。またその際、光センサ用のTFTとスイッチング用TFTのゲート電界を別の工程で形成することでスイッチング速度の低下は生じることはない。

(3)

[0011]

【実施例】以下、本発明の実施例を図1により説明する。図1は本実施例による薄膜光センサの断面図である。この光センサの作製プロセスは次の通りである。

【0012】ガラス基板1上に、光センサ用TFTのゲート電極2として200nmのCrをスパッタリング法により堆積し、通常のフォトリソグラフィ法を用いてパターンニングする。ついでCVD法により第1のゲート絶縁膜15のSiO₂(300nm)を堆積する。その後、再びスパッタリング法により厚さ200nmのCrによりスッチングTFT用のゲート電極102と蓄積容量の一方の電極12を形成する。

【0013】次に、CVD法により第2のゲート絶縁膜6である窒化シリコン4(Si₃N₄)、半導体層としての非晶シリコン5(n-Si:H)をそれぞれ300nm、200nmの厚さに堆積する。さらに同じくプラズマCVD法により、オーミックコンタクトを取るためのn型a-Si:Hも上記2層に続いて堆積する。厚さは、40nmである。

【0014】プラズマCVD法は、真空容器中にモリブデンSiH₄をベースとしたガスを導入し、RFパワを加えることによりプラズマを形成し、これにより分解したSiおよび水素を基板上に堆積するものである。この場合、a-Siが形成されるが、SiH₄とともに窒素やリンを導入すればSi₃N₄が形成される。また、ホスフィン(PH₃)を導入すれば、n型半導体である層をドーパしたa-Siを形成することができ、これらは、ゲート絶縁膜やオーミックコンタクト層となる。真鍮製のa-Si層はパターンニングされる。

【0015】つぎにソース電極6、106とドレイン電極7、107及び蓄積容量の他方の電極11を形成する。電極材料はCrとAlの二層膜を用いる。Crはa-SiとAlの反応を防止するためのバンプ層であり、Alは電極の低抵抗化のためである。各々の厚さは100nm、300nmである。CrとAlの二層膜は、この後、パターンニングして形成される。なお、パターンニングされたソースおよびドレイン電極をペースタとしてn+a-Si:H層もエッチングする。これは、セルフアライン工程となる。

【0016】この後、チャネル保護膜としてプラズマCVDによるSi₃N₄を用いてスッチングTFT及び光センサ用TFTの保護膜9を被け、次にスッチングTFTの上方にはソース・ドレイン電極と重畳するようにAlの600nmを用いて遮光膜10を形成する。すなわち、この遮光膜によって、明状態や暗状態にかかわらずスッチングTFTの良好な動作が可能になる。

【0017】図2は本実施例による光センサ用TFTのドレイン電圧を10Vに固定した場合の電流-電圧特性を示したものである。この光センサは、ゲート絶縁膜厚が図5に示したものの2倍程度厚いので、ゲート電界が

小さくなり、特に明電流が抑制されずに1桁程度大きく

なっている。一方、暗電流の変化はこれに比べて小さく、明暗比が改善されている。

【0018】図3は薄膜光センサを2次元に配列したものの等価回路である。各要素は、上述のように光センサ用TFT、スッチング用TFT及び蓄積容量から成る。光センサ用の三つの端子のうち、ドレイン端子は蓄積容量の一方の端子に接続され、ソース端子は蓄積容量のもう一方の端子に接続されて接地されている。またゲート端子は、図2に示されるように明暗比の確保でまた電圧範囲(例えば-3V以下)の異なる電圧V_{gs}に固定される。スッチング用TFTの三つの端子については、ゲート端子が垂直走査線に接続され、ドレイン端子が水平走査線に接続されている。またソース端子は、光センサ用TFTのドレイン端子に接続されている。水平走査線及び蓄積容量の一方の端子はスッチング用TFTのソース、ドレイン電極と同時に形成され、垂直走査線はスッチング用TFTのゲート電極と同時に形成される。各水平走査線は、水平走査回路に接続され、また各垂直走査線は垂直走査回路に接続されている。

【0019】この2次元薄膜光センサの駆動は、次の通りである。

① まず最初に、垂直走査線G1に接続された全てのスッチングTFTを所定時間t₁だけオン状態にする。この走査により各要素の蓄積容量が充電される。

② 次に、時間t₁の間に各水平走査線D1〜D_mを通じて、上記充電電荷量が読み出される。この充電電荷量は、イメージの明暗に対応してその大きが異なる。この場合の電荷量の読み出しは、時間t₁をm分割して各水平走査線毎に順次読み出す(すなわち、水平走査線一本あたりの読み出し時間は1/m秒)方法と、各水平走査線の読み出しに時間t₁を充てて、垂直走査線G1に連なる要素の充電電荷量を同時に読み出す方法がある。本発明による光センサでは、いずれの方法も可能である。

③ 垂直走査線G1に接続された全てのスッチングTFTをオフ状態にする。

【0020】④ 次段の垂直走査線G2に接続された全てのスッチングTFTを所定時間t₁だけオン状態にし、上記②と同じ操作を行う。

⑤ 同様にして④〜⑥を、垂直走査線G_nまで行い、読み出しが完了する。画面一枚あたりの読み出し時間はn×t₁秒である。

【0021】さて、光センサによる画像読み取りについて、例えば、垂直走査線G1に接続された画像に替目して説明する。③でスッチングTFTをオフ状態にした後、次にオン状態になるまでの(n-1)×t₁秒間に光センサ用TFTが蓄積容量に保持された電荷を放電する。この放電電荷量は、光センサに入射する光の量によって決まる。これが画像読み取り動作である。

(4)

5

【0022】以上説明してきたように、本発明は蓄積容量を用いたTFT型光センサにおいて、明電流を上させることが可能な構造である。この意味で、本発明は上記実施例に限定されない。例えば、ゲート電極はCrに代りAlやTiであってもよいし、ゲート絶縁膜はSi₃N₄やSiO₂に限らずAl₂O₃やTa₂O₅あるいはこれらの組合せであってもよい。またTFTの半導体材料は、非晶シリコンに限らず多結晶シリコンであってもよい。

【0023】

【発明の効果】本発明によれば、蓄積容量を用いたTFT型光センサにおいて光センサ用TFTのゲート絶縁膜厚を厚くすることにより、負のゲート電界がチャネルを流れる光電流を抑える効果を低減し、従来よりも大きな明電流を実現できる。またその際、光センサ用のTFTとスッチング用TFTのゲート電極を別の工程で形成するでスッチング用TFTのゲート絶縁膜厚は従来と同程度に保たれ、スッチング用TFTの低下は生じることはない。従って、画素における素子形状の小型化、画素の高精細化を実現することができる。

【図面の簡単な説明】

【図1】

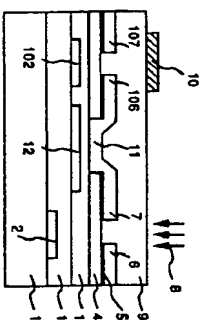


図1

【図2】

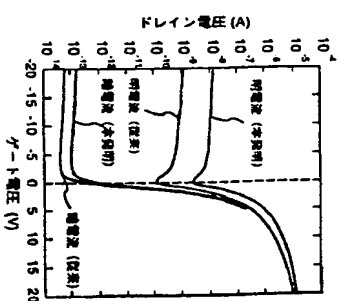


図2

【図1】本発明の実施例の説明図。

【図2】本発明による光センサ用TFTの電流-電圧特性図。

【図3】本発明による2次元薄膜光センサの等価回路図。

【図4】従来技術によるTFT型光センサの断面図。

【図5】従来技術によるTFT型光センサの電流-電圧特性図。

【図6】従来技術による薄膜光センサの断面構造図。

【図7】図6の等価回路図。

【図8】従来技術による簡易型薄膜光センサの断面図。

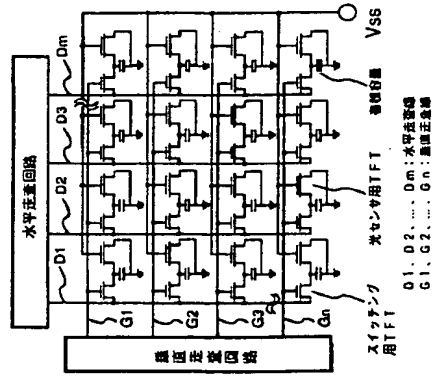
【図9】ホトダイオードを用いた従来技術によるセンサの説明図。

【符号の説明】

1…ガラス基板、2、102…ゲート電極、4…非晶シリコン、5…n型非晶シリコン、6、106…ソース電極、7、107…ドレイン電極、8…入射光、9…保護膜、10…遮光膜、11、12…蓄積容量用電極、15…第1のゲート絶縁膜、16…第2のゲート絶縁膜。

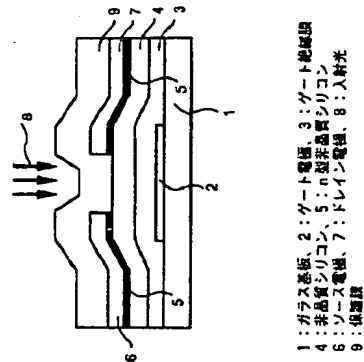
【図3】

図3



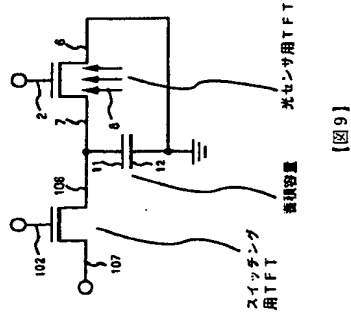
【図4】

図4



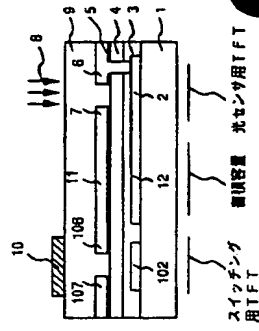
【図7】

図7



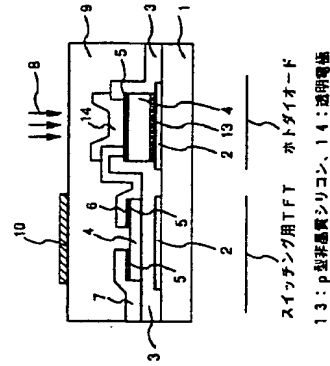
【図8】

図8



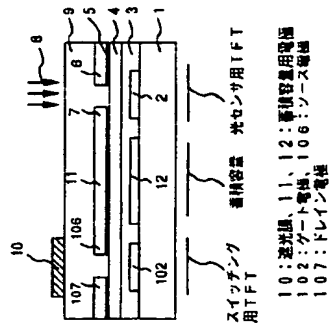
【図9】

図9



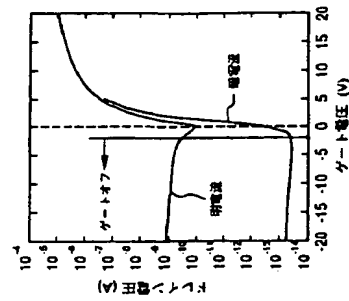
【図6】

図6



【図5】

図5



THIS PAGE BLANK (USPTO)

BEST AVAILABLE COPY